ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ

**«САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПЕТРА ВЕЛИКОГО»**

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

**ЛАБОРАТОРНАЯ РАБОТА №1**

**Знакомство с пакетом Vivado**

по дисциплине «Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

студент группы 3540901/02001

Бараев Д. Р.

Проверил:

А. П. Антонов

Санкт-Петербург 2020

**Оглавление**

[Список иллюстраций: 3](#_Toc54101127)

[Введение: 4](#_Toc54101128)

[Цели лабораторной работы: 4](#_Toc54101129)

[Описание устройства: 4](#_Toc54101130)

[Ход работы: 6](#_Toc54101131)

[Этап 1. Создание проекта в пакете Vivado 6](#_Toc54101132)

[Этап 2. Анализ файлов с описанием проекта 7](#_Toc54101133)

[Этап 3. Поведенческое моделирование проекта 10](#_Toc54101134)

[Этап 4. Анализ структуры RTL описания проекта 11](#_Toc54101135)

[Этап 5. Синтез проекта и анализ результатов 12](#_Toc54101136)

[Этап 6. Реализация проекта и анализ результатов 13](#_Toc54101137)

[Этап 7. Моделирование реализованного проекта 14](#_Toc54101138)

[Этап 8. Конфигурация FPGA 16](#_Toc54101139)

[Этап 9. Проверка работы проекта на плате 17](#_Toc54101140)

[Этап 10. Реализация дополнительных тестов (1-го и 2-го уровня) с использованием задач 18](#_Toc54101141)

[Тест 1-го уровня 18](#_Toc54101142)

[Тест 2-го уровня 19](#_Toc54101143)

[Выводы: 20](#_Toc54101144)

Список иллюстраций:

[Рисунок 1- 1 Настройки проекта 10](#_Toc32270097)

[Рисунок 2- 1 Файл lab1\_plus.v 10](#_Toc32270099)

[Рисунок 2- 2 Файл lab1\_plus\_nexys4\_ddr.xdc 11](#_Toc32270100)

[Рисунок 2- 3 Раскладка выводов платы 12](#_Toc32270101)

[Рисунок 3- 1 Закладка TCL Console 13](#_Toc32270102)

[Рисунок 3- 2 Временная диаграмма 13](#_Toc32270103)

[Рисунок 3- 3 Временная диаграмма 13](#_Toc32270104)

[Рисунок 4- 1 RTL структура 11](#_Toc32270105)

[Рисунок 7- 1 Закладка TCL Console 14](#_Toc32274791)

[Рисунок 7- 2 Временная диаграмма 14](#_Toc32274792)

[Рисунок 7- 3 Временная диаграмма 15](#_Toc32274793)

Введение:

Эта лабораторная работа базируется на лабораторной работе lab1. Она предназначена для самостоятельного выполнения и позволяет самостоятельно повторить процедуру использования пакета Vivado:

* от создания проекта, для описания которого использован язык описания аппаратуры (HDL),
* до конфигурации FPGA и проверки проекта на плате.

Проект ориентирован на использование микросхем семейства Artix7 и предназначен для реализации на платах Basys3 или Nexys4 DDR.

В описании лабораторной работы:

* {sources} означает : C:\xilinx\_trn\FPGA\_Vivado\_Int\labs\_src
* {labs} означает : C:\xilinx\_trn\FPGA\_Vivado\_Int\labs
* {boards} означает : C:\xilinx\_trn\FPGA\_Vivado\_Int\boards

Цели лабораторной работы:

После выполнения лабораторной работы вы самостоятельно повторите следующие шаги:

* создание проекта, основанного на HDL описании,
* выбор целевой платформы (конкретной FPGA),
* использование созданного заранее файла Xilinx Design Constraint (XDC) - файла для задания выводов микросхемы,
* поведенческое моделирование проекта (поведенческое и с временными параметрами),
* синтез проекта и реализация проекта, анализ результатов,
* моделирование проекта реализованного проекта с временными параметрами,
* создание конфигурационного файла,
* конфигурирование FPGA на плате и проверка работы проекта.

Описание устройства:

1. Выводы микросхемы FPGA подключены к:

1.1. Светодиодам - led[15:0].

1.2. Переключателям - swt[9:0].

1.3. Кнопкам – pb[4:0].

1. Алгоритм работы:

2.1. Светодиод led[15] отображает логическую функцию ~pb[4] & ~pb[3] & ~pb[2] & ~pb[1] & ~pb[0].

2.2. Светодиоды led[14:10] отображают состояние кнопок pb[4:0] соответственно.

2.3. Светодиоды led[9:0] соответственно отображают:

2.3.1. состояние переключателей swt[9:0] если не нажата ни одна из кнопок pb[4:0],

* + 1. выключены если нажата одна или несколько кнопок pb[4:0].

Ход работы:

Этап 1. Создание проекта в пакете Vivado

1. Запустите пакет Vivado 2020.1 (или Vivado WebPack 2020.1)
2. Создайте новый проект:

2.1. Папка для проекта {labs}.

2.2. Имя проекта lab1\_plus.

2.3. Для описания проекта и теста используется язык Verilog

1. Из папки ***{sources}\lab1plus*** добавьте к проекту:

3.1. Файл lab1\_plus.v с описанием проекта.

3.2. Файл lab1\_plus\_tb.v с описанием тест.

3.3. Файл lab1\_plus\_nexys4\_ddr.xdc с описанием назначений выводов для платы Nexys4 DDR.

1. Задайте микросхему FPGA для реализации проекта.

4.1. Тип микросхемы: XC7A100TCSG324-1 (если используется плата Nexys4 DDR) или *XC7A35TCPG236-1 (если используется плата Basys3).*

1. После создания проекта проверьте, что все настройки заданы правильно – соответствуют приведенному ниже рисунку.

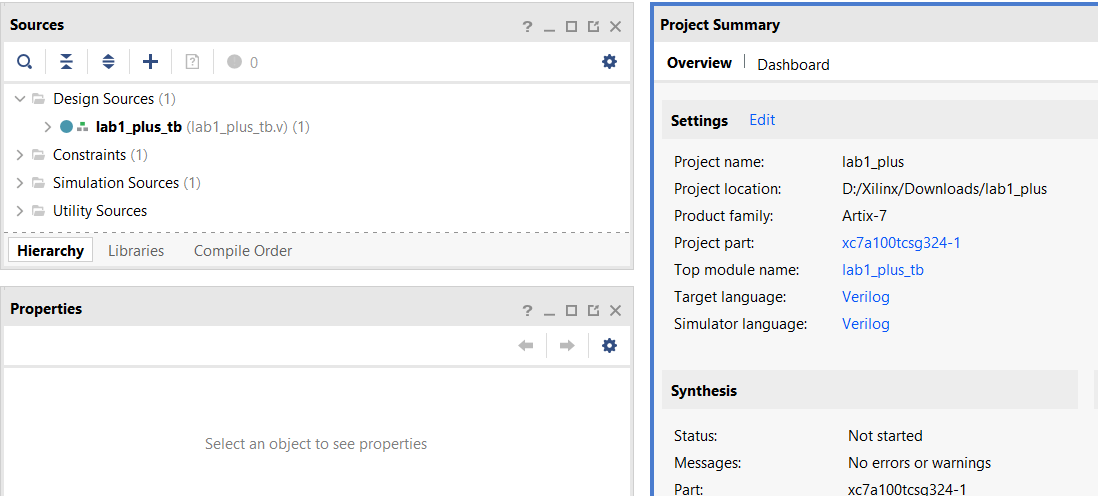


Рисунок 1- 1 Настройки проекта

Этап 2. Анализ файлов с описанием проекта

1. Откройте файл lab1\_plus.v с описанием проекта, убедитесь, что оно соответствует приведенному ниже рисунку.

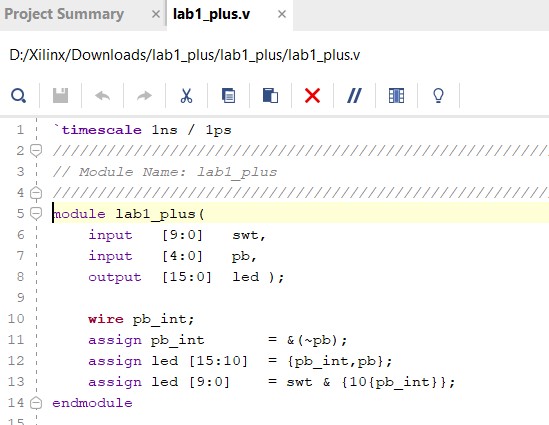


Рисунок 2- 1 Файл lab1\_plus.v

1. Откройте файл lab1\_plus\_tb.v с описанием теста убедитесь, что тест обеспечивает проверку алгоритма работы модуля lab1\_plus 3.
2. Откройте файл lab1\_plus\_nexys4\_ddr.xdc с описанием назначений выводов для платы Nexys4 DDR

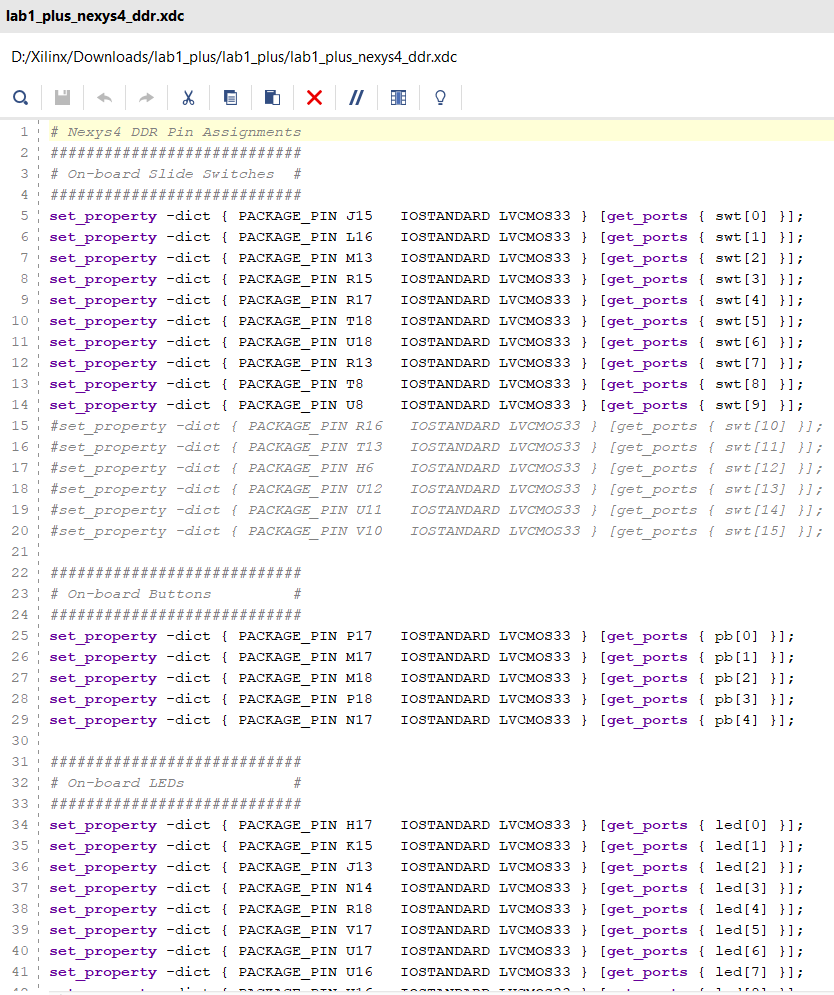


Рисунок 2- 2 Файл lab1\_plus\_nexys4\_ddr.xdc

1. Убедитесь, что сделанные назначения соответствуют раскладке выводов платы, приведенной на рисунке ниже.

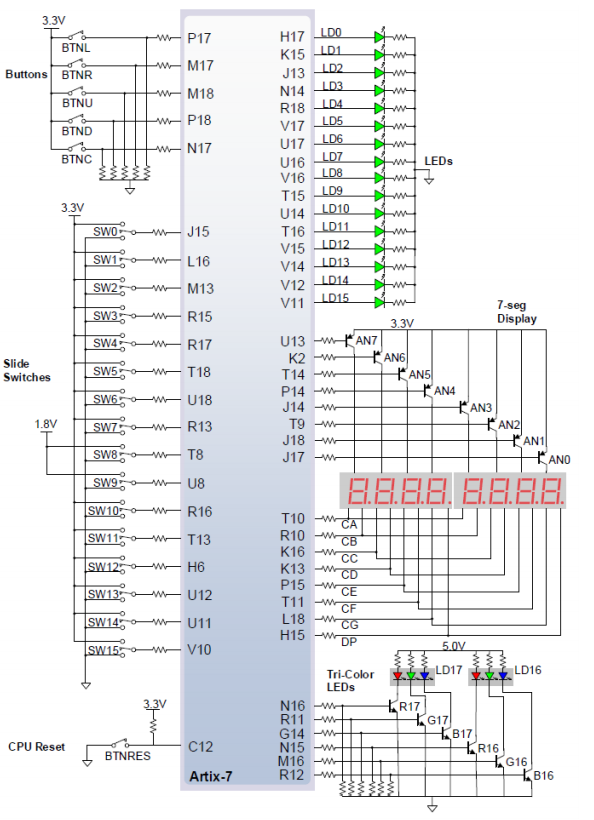


Рисунок 2- 3 Раскладка выводов платы

Этап 3. Поведенческое моделирование проекта

1. Задайте время моделирования равным 200 нс.
2. Осуществите поведенческое (Behavioral) моделирования на базе теста lab1\_plus\_tb.v. 3.
3. Убедитесь, что тестирование завершено успешно:
   1. на закладке TCL Console отображены приведенные ниже сообщения:

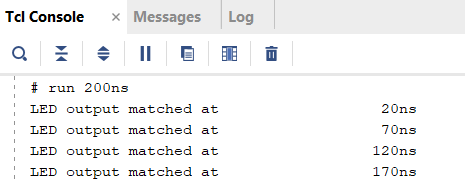


Рисунок 3- 1 Закладка TCL Console

* 1. полученные временные диаграммы соответствуют приведенным ниже
     1. шине i измените формат отображения на UNSIGNED DECIMAL
     2. всем остальным шинам измените формат отображения на BINARY

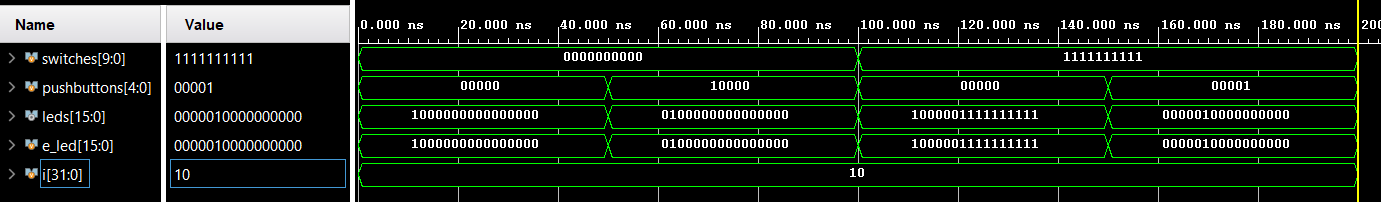


Рисунок 3- 2 Временная диаграмма

1. Добавьте к временной диаграмме внутренний сигнал pb\_int модуля lab1\_plus.
2. Сбросьте результаты моделирования и осуществите повторное моделирование продолжительностью.
3. Убедитесь, что полученные временные диаграммы соответствуют временным диаграммам, приведенным на рисунке ниже.

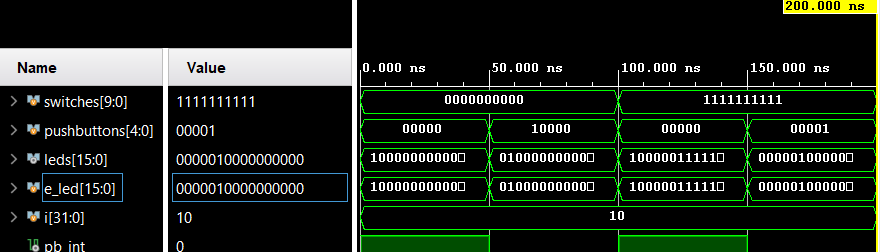


Рисунок 3- 3 Временная диаграмма

1. Закройте систему моделирования

Этап 4. Анализ структуры RTL описания проекта

1. Откройте схемное представление результатов RTL анализа проекта.
2. Убедитесь, что оно соответствует структуре, приведенной на рисунке ниже.

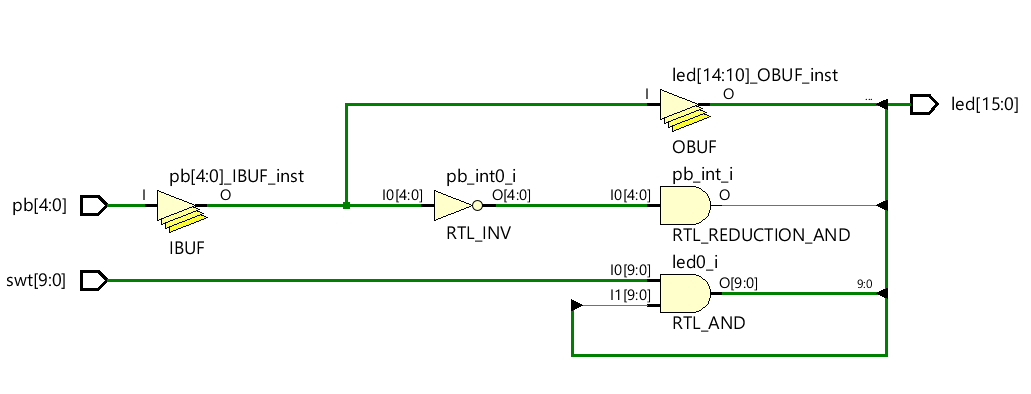


Рисунок 4- 1 RTL структура

Этап 5. Синтез проекта и анализ результатов

1. Запустите процедуру синтеза проекта.
2. После окончания процедуры синтеза откройте синтезированный проект.
3. Проведите анализ результатов синтеза и заполните таблицу ниже

|  |  |  |  |
| --- | --- | --- | --- |
| Resource | Estimation | Available | Utilization% |
| LUT | 11 | 63400 | 0.02 |
| IO | 31 | 210 | 14.76 |

1. Откройте отчет Report Utilization и определите какие ресурсы (типы LUT и элементов IO) использованы для реализации проекта – заполните таблицу ниже

|  |  |  |
| --- | --- | --- |
| Ресурс | Количество | Категория |
| OBUF | 16 | IO |
| IBUF | 15 | IO |
| LUT6 | 10 | LUT |
| LUT5 | 1 | LUT |

1. Откройте окно со схемным представлением результатов синтеза и найдите LUT, реализующую логическую функцию для выхода LED[15]. Какой тип ресурса использован для формирования этой логической функции? LUT5 (5 входов, один выход)

Этап 6. Реализация проекта и анализ результатов

1. Запустите процедуру реализации проекта.
2. После окончания процедуры реализации откройте реализованный проект.
3. Проведите анализ результатов реализации и заполните таблицу ниже со статусом Route Status

|  |  |
| --- | --- |
| Число цепей, при трассировке которых возникли конфликты | 0 |
| Число цепей, которые не были разведены | 0 |
| Число цепей, которые были частично разведены | 0 |
| Число полностью разведенных цепей | 26 |

1. Откройте отчет Report Utilization и определите какие ресурсы (типы LUT и элементов IO) использованы для реализации проекта – заполните таблицу ниже.

|  |  |  |
| --- | --- | --- |
| Ресурс | Количество | Категория |
| OBUF | 16 | IO |
| IBUF | 15 | IO |
| LUT6 | 10 | LUT |
| LUT5 | 1 | LUT |

1. Проведите анализ потребления энергии и заполните таблицу ниже.

|  |  |
| --- | --- |
| Число цепей, при трассировке которых возникли конфликты | 0 |
| Число цепей, которые не были разведены | 0 |
| Число цепей, которые были частично разведены | 0 |
| Число полностью разведенных цепей | 26 |

1. Откройте окно со схемным представлением результатов синтеза и найдите LUT, реализующую логическую функцию для выхода LED[15]. Какой тип ресурса использован для формирования этой логической функции? LUT5 (5 входов, один выход)

Этап 7. Моделирование реализованного проекта

1. Запустите процедуру моделирования реализованного проекта с временными параметрами.
2. Убедитесь, что тестирование завершено успешно:
   1. на закладке TCL Console отображены приведенные ниже сообщения:

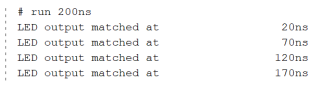


Рисунок 7- 1 Закладка TCL Console

* 1. полученные временные диаграммы соответствуют приведенным ниже:
     1. шине i измените формат отображения на UNSIGNED DECIMAL
     2. всем остальным шинам измените формат отображения на BINARY

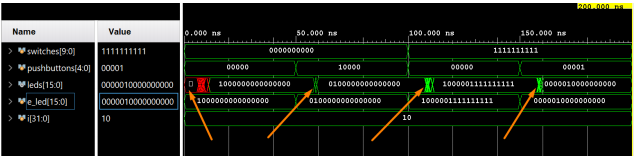


Рисунок 7- 2 Временная диаграмма

* 1. Объясните появление отмеченных стрелками участков временной диаграммы (сравните с результатами поведенческого моделирования).

Данное явление происходит, так как возникает задержка формирования сигналов leds[15:0] относительно момента изменения входных сигналов switches[9:0]. К моменту формирования сигналов leds[15:0] заканчивается переходный процесс в созданной при реализации проекта комбинационной схеме – все выходные сигналы получают их истинное значение для текущих входных сигналов.

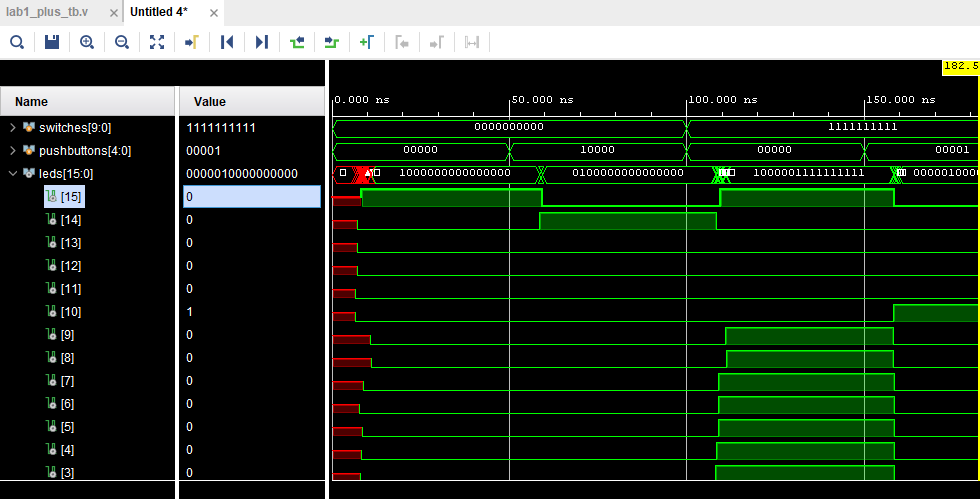


Рисунок 7- 3 Временная диаграмма

Этап 8. Конфигурация FPGA

1. Запустите процедуру создания файла для конфигурации FPGA.
2. После окончания процедуры откройте Hardware Manager.
3. Подсоедините к ПК плату и включите ее питание.
4. Запустите процедуру Auto Connect – процедуру автоматического подключения к плате.
5. Убедитесь, что подключение к плате осуществлено успешно – раздел Hardware соответствует рисунку, приведенному ниже.



Рисунок 8- 1 Раздел Hardware

Этап 9. Проверка работы проекта на плате

1. Проверьте работу платы на соответствие заданному алгоритму.

Наборы тестовых воздействий можно взять из теста lab1\_plus\_tb.v

Проект был успешно загружен и протестирован на плате

Этап 10. Реализация дополнительных тестов (1-го и 2-го уровня) с использованием задач

Тест 1-го уровня

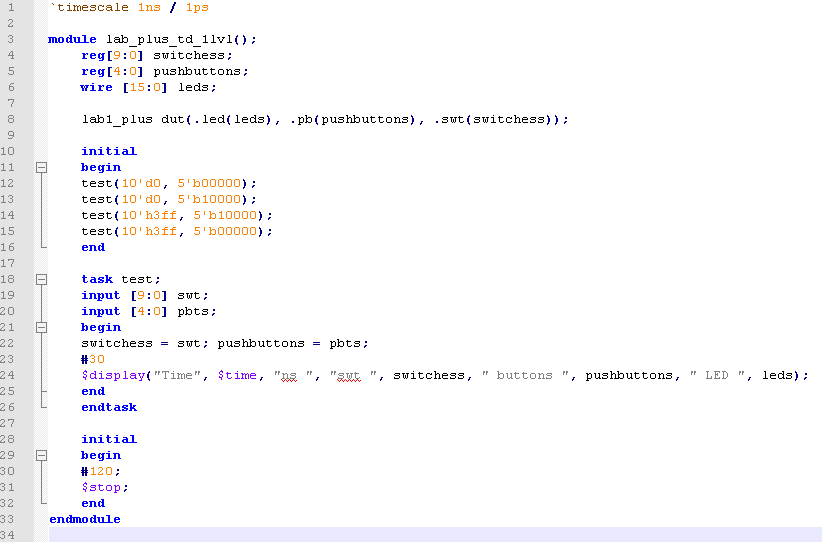


Рисунок 10- 1 Исходный код теста 1-го уровня

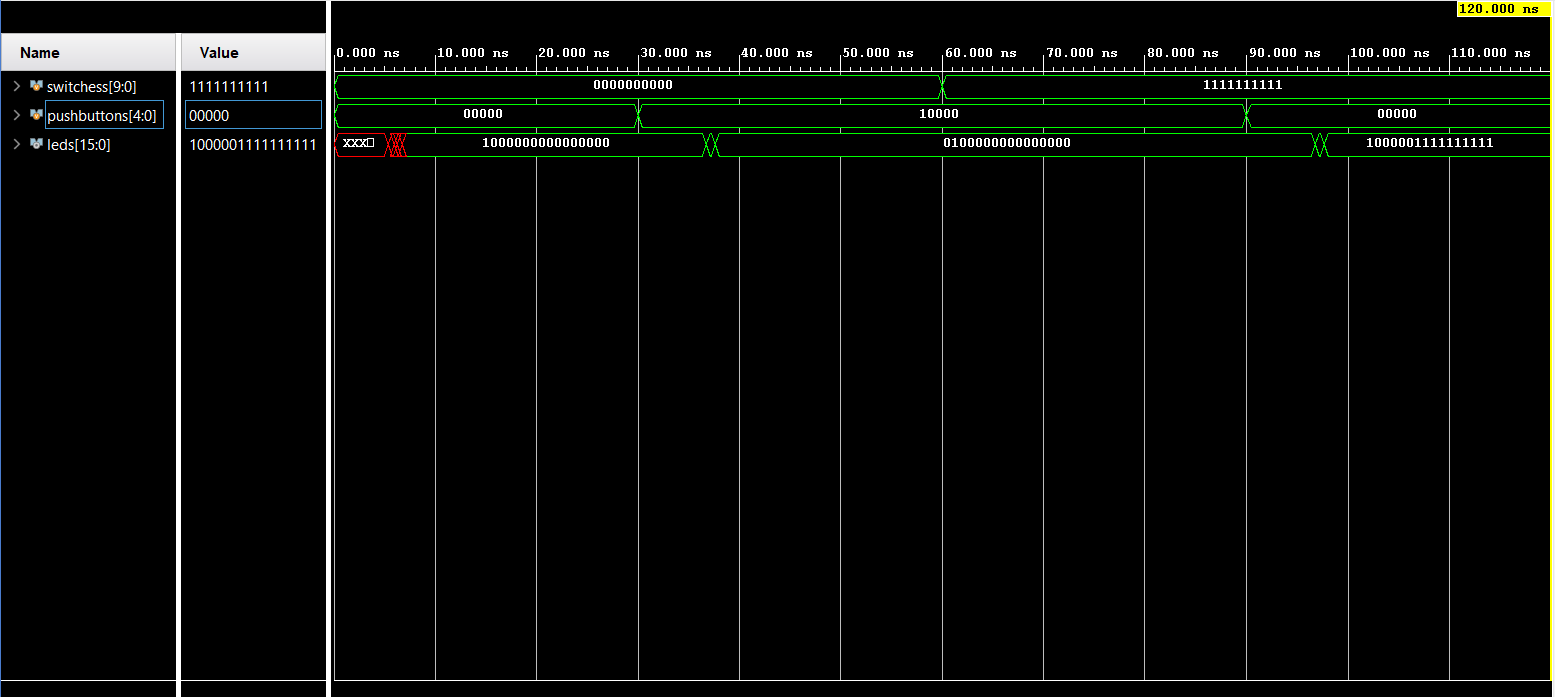


Рисунок 10- 2 Результаты моделирования

Тест 2-го уровня

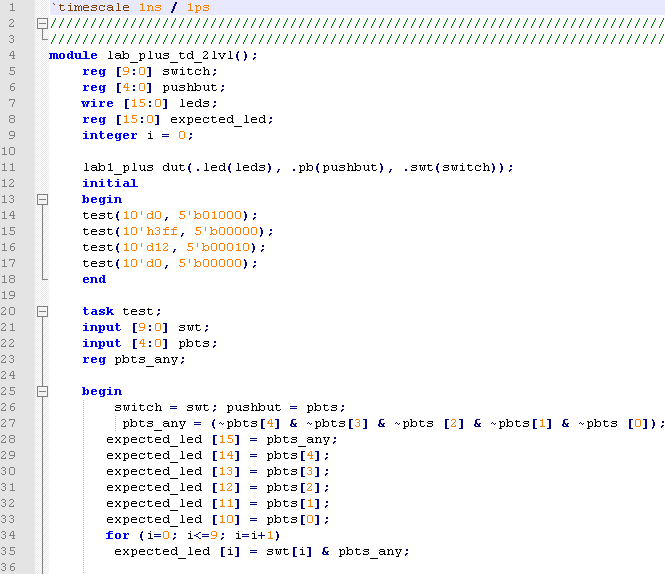
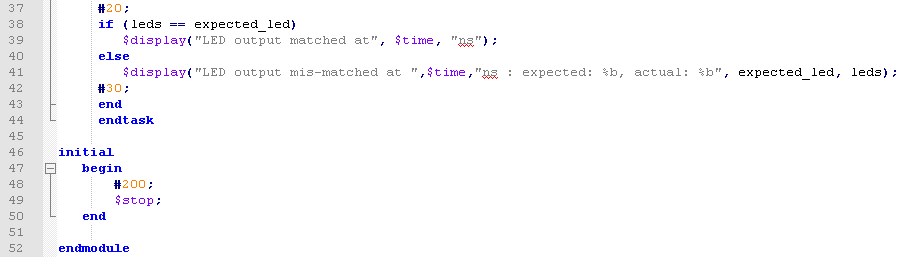
 

Рисунок 10- 3 Исходный тест 2-го уровня

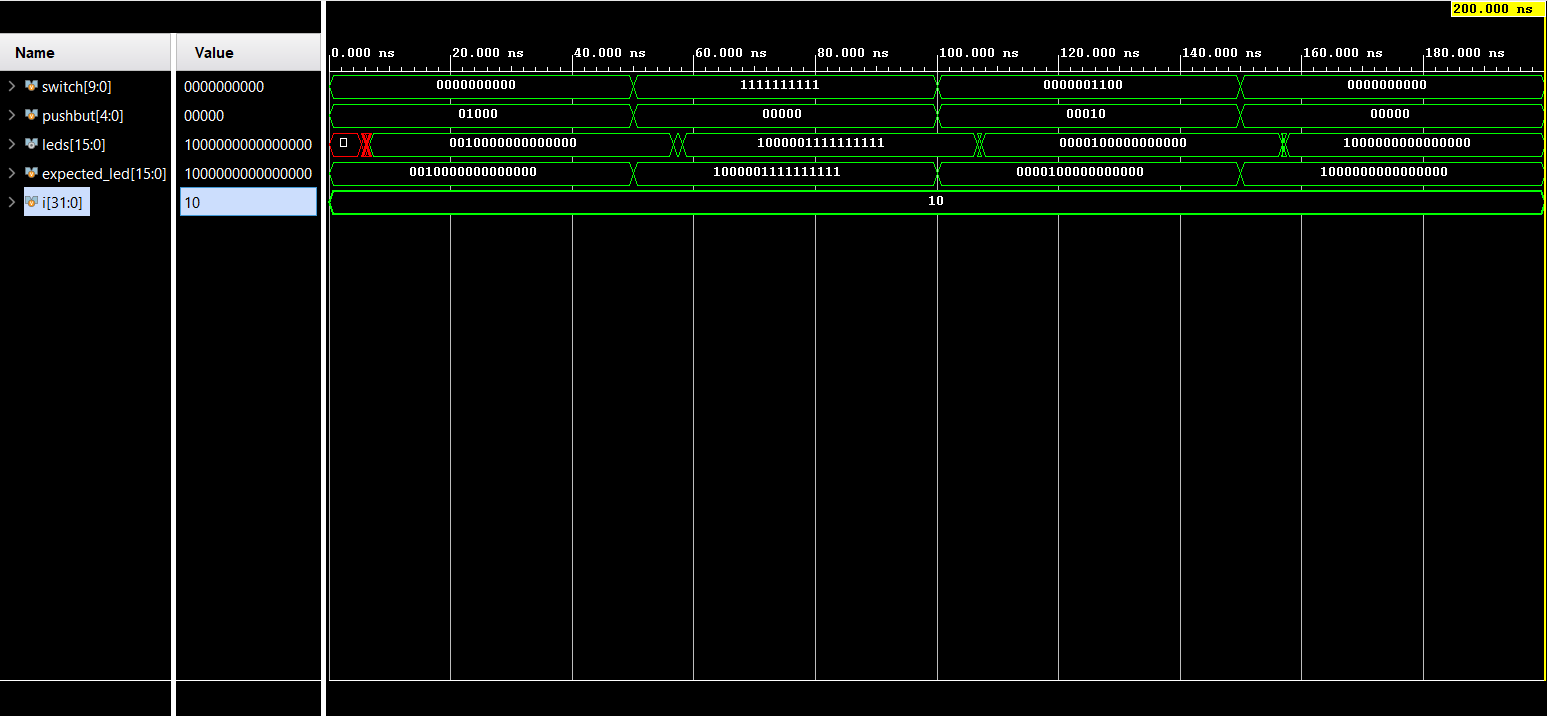


Рисунок 10- 5 Результаты моделирования

Выводы:

В ходе данной лабораторной работы мы научились работать с пакетом Vivado. Были изучены процессы создания проекта на HDL-описании. Также мы провели поведенческое моделирование проекта (поведенческое и с временными параметрами). После этого был проведен синтез и реализация проекта. Проект был успешно сконфигурирован и протестирован на плате Nexys4 DDR.

В упражнении было проведено знакомство с тестами 1-го и 2-го класса описанные на языке Verilog.